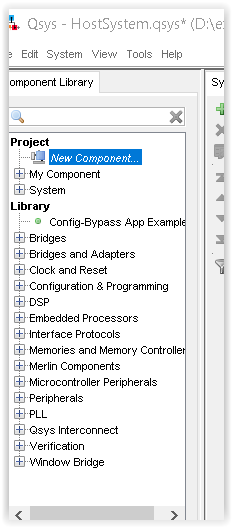
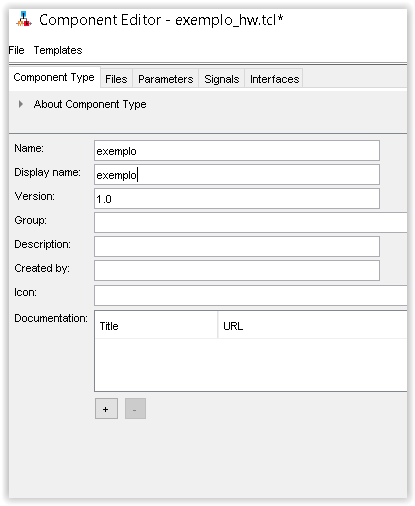
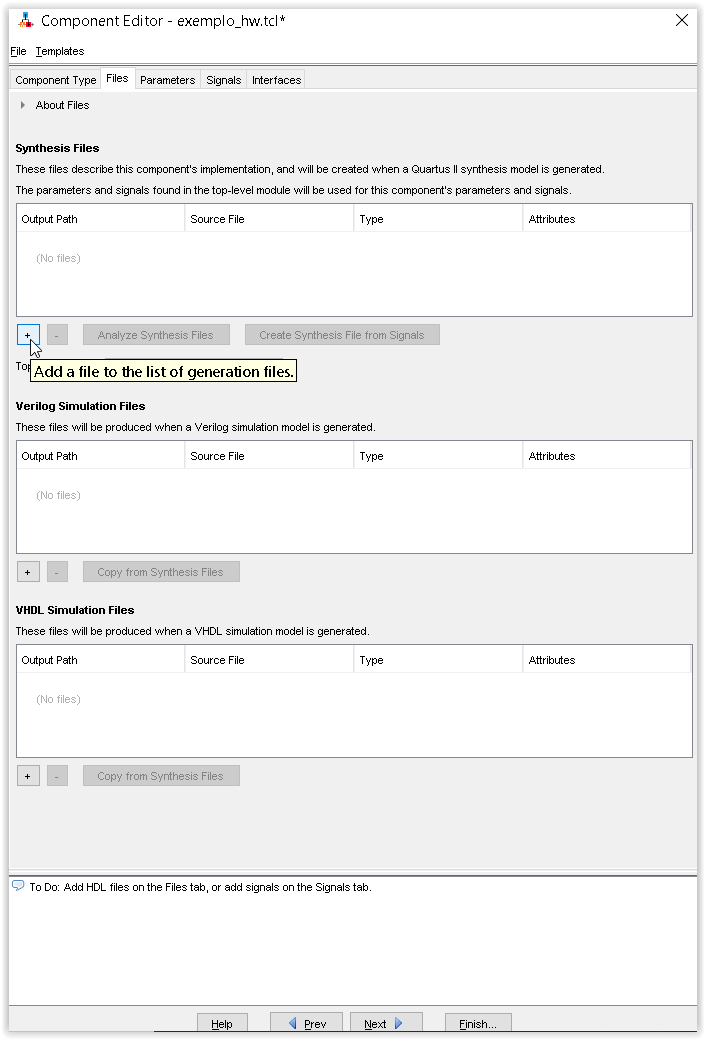
No Qsys, double-click em “*New Component*”

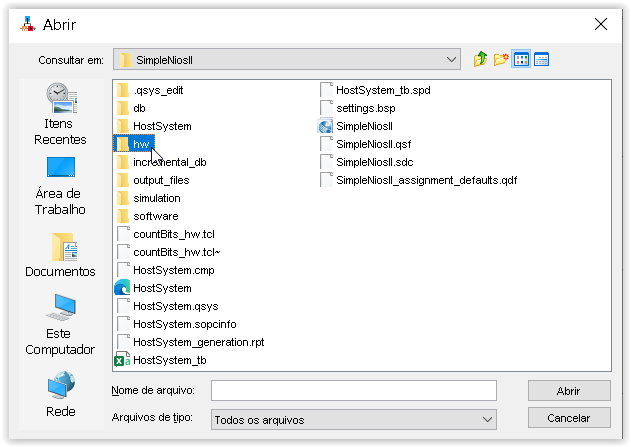


Definir o nome e como o componente será mostrado. No caso usamos “exemplo” e “exemplo”

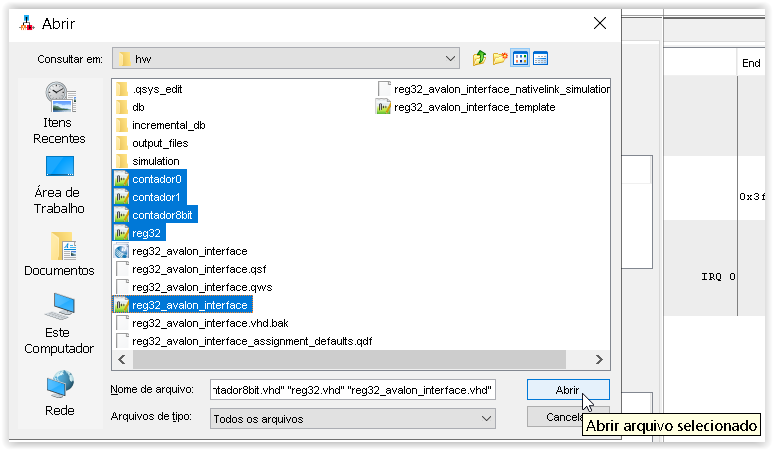


Selecionar os arquivos VHDL que comporão o seu “component”

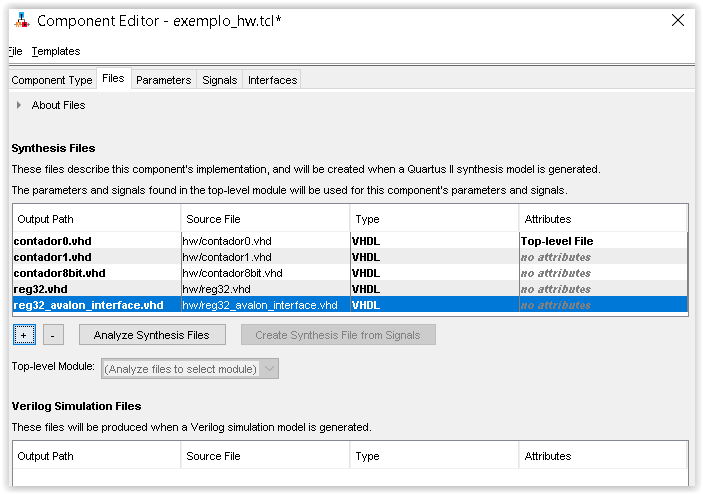


Recomenda-se colocar os arquivos em um diretório separado, “hw”, no caso

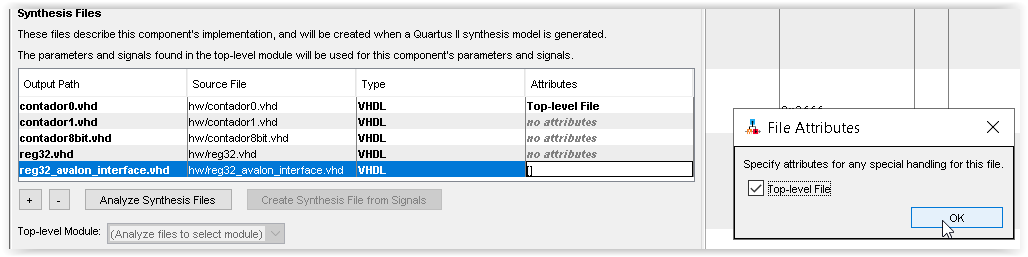
Marcar os arquivos desejados (com a tecla CTRL)



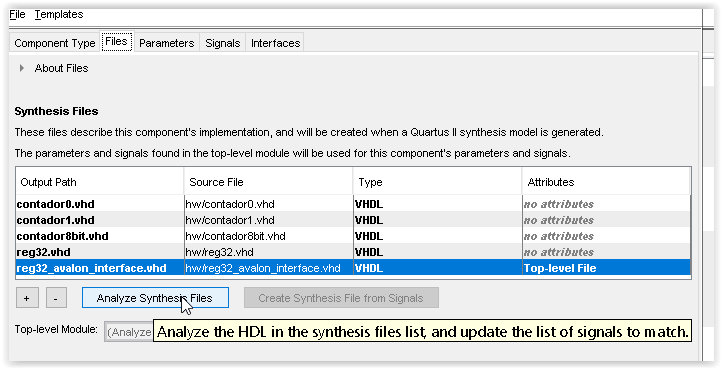
“Abrir”



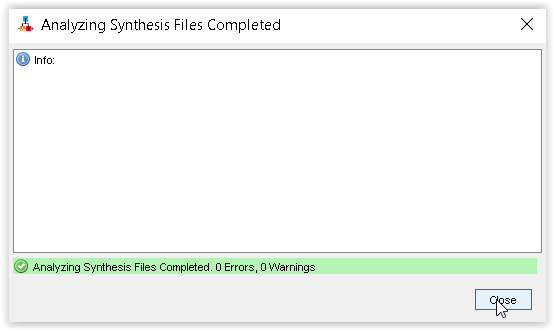
Na tela acima o Qsys selecionou o toplevel como sendo o primeiro da lista. Mas como este não é o caso, “double-click” em “no attributes” do arquivo “reg32\_avalon\_interface.vhd” e mudar o atributo para toplevel. Marcar a caixa de diálogo “Top-level File” e “OK”



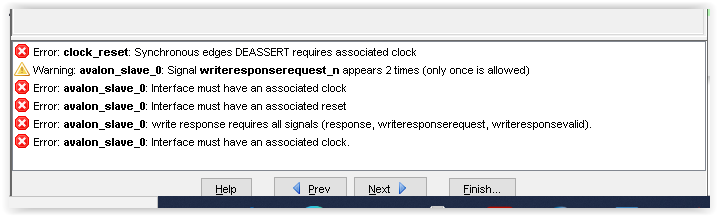
Agora faremos a verificação da integridade dos códigos.

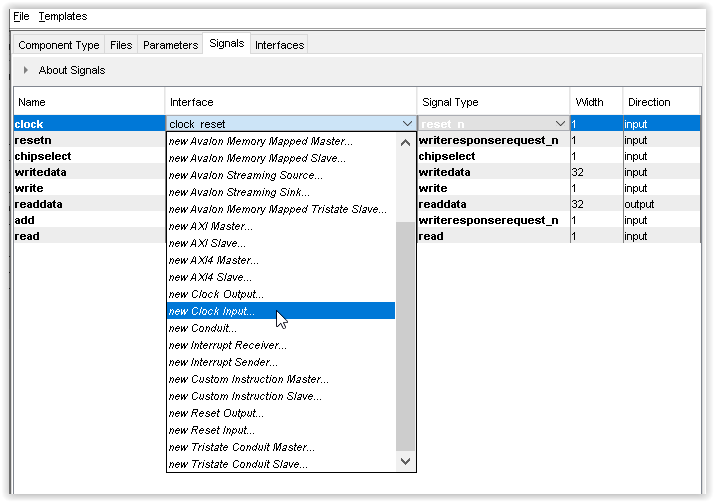


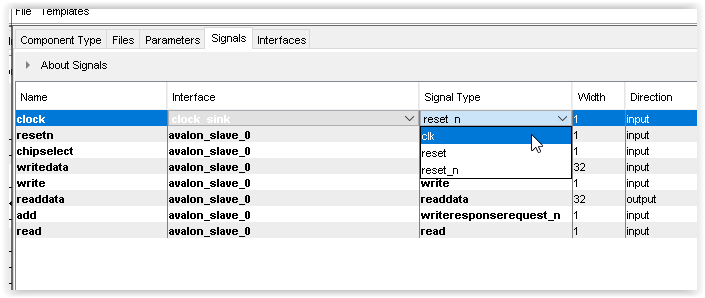
Se tudo estiver ok com os arquivos (e sua estrutura hierárquica), aparecerá:

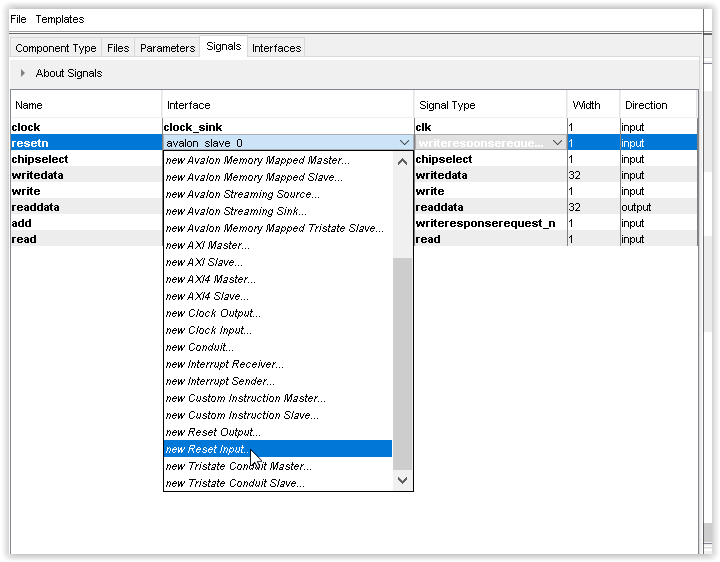


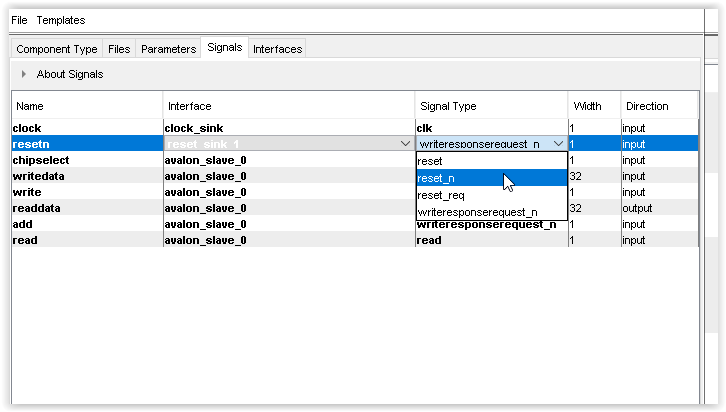
“Close”. Os erroa abaixo devem aparecer. Vamos proceder à correção.

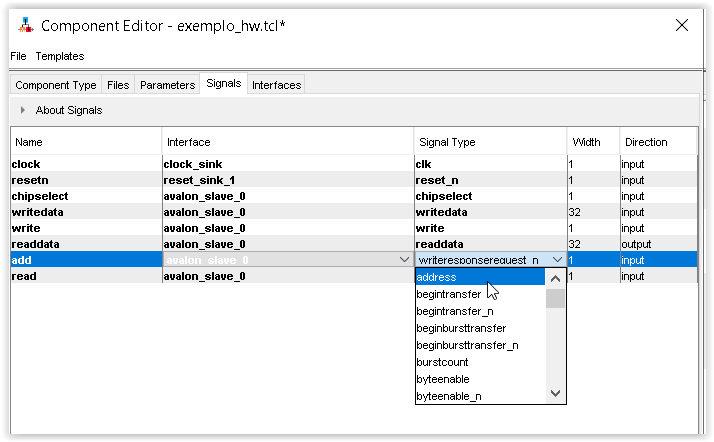


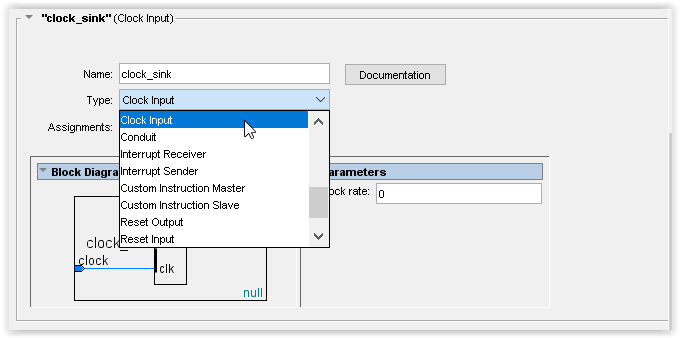




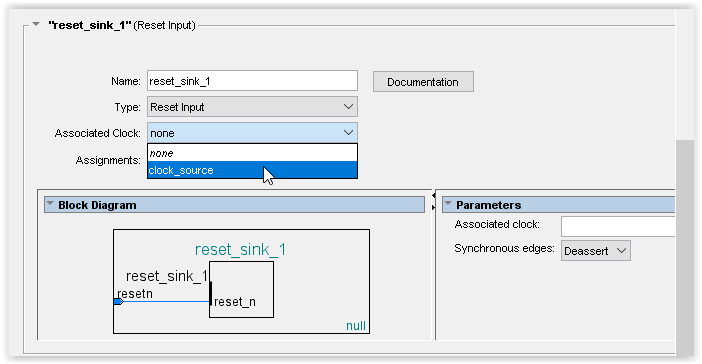


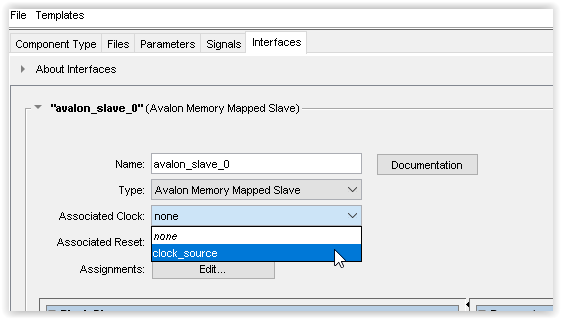


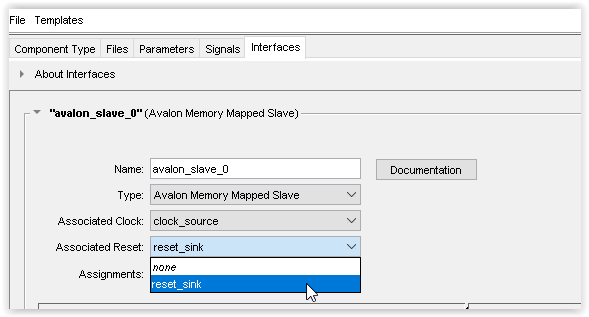




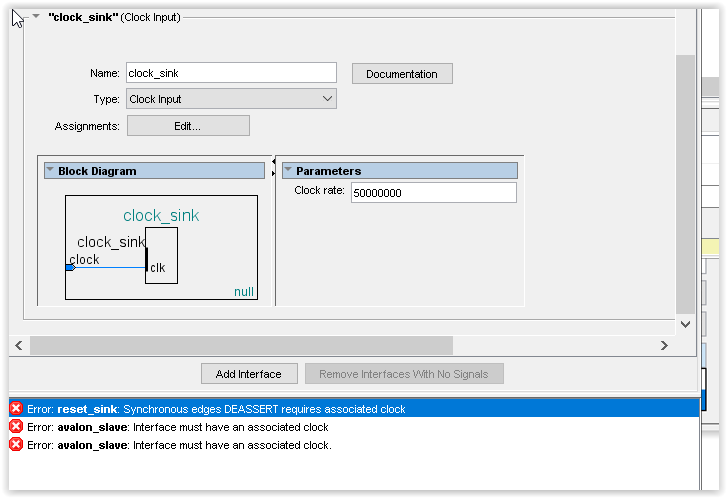
No diálogo abaixo, além de selecionar o que é mostrado, mudar o nome para “reset\_sink”

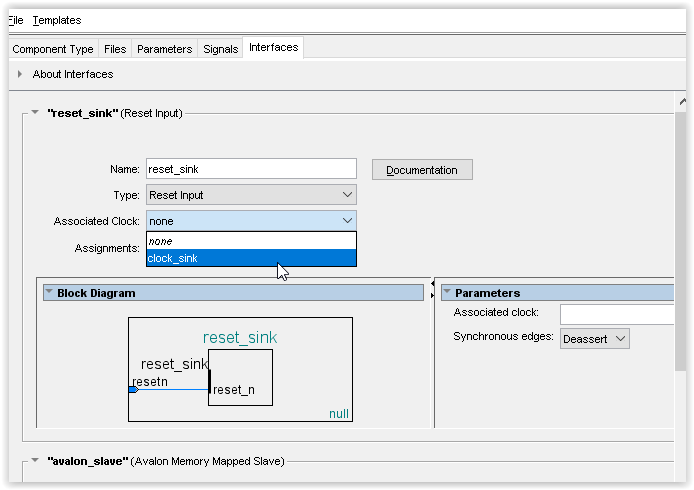


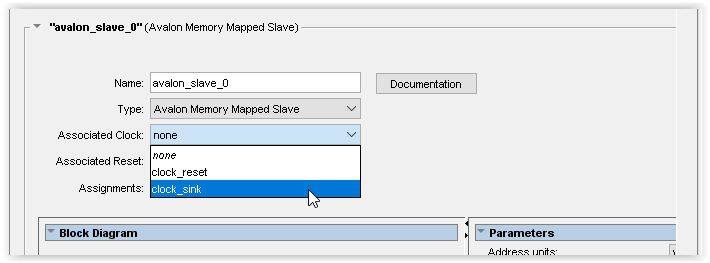


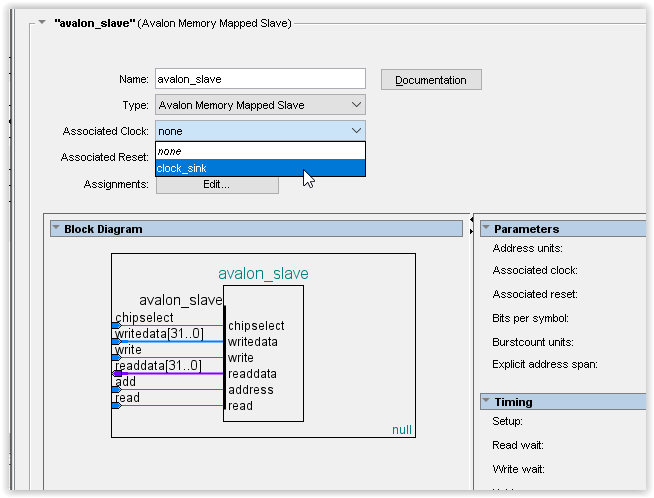


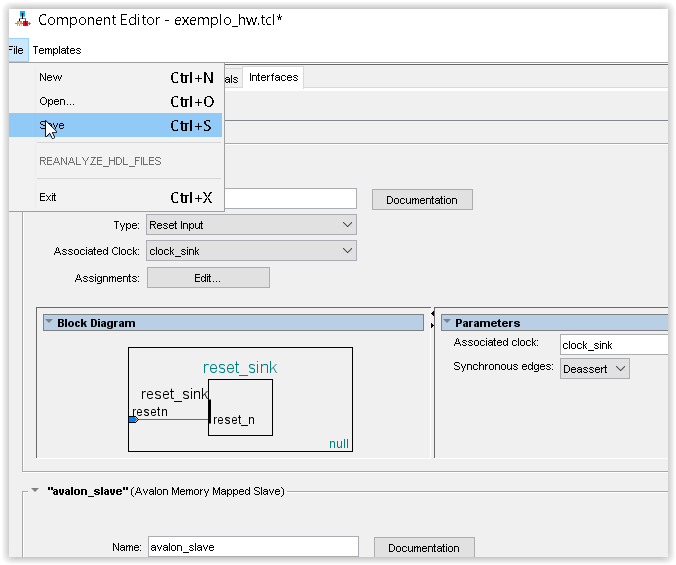
Editar o nome para “avalon\_slave”





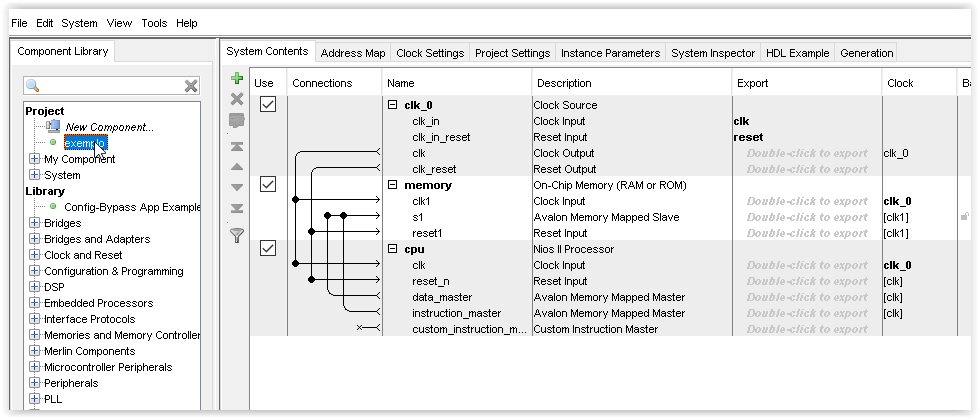


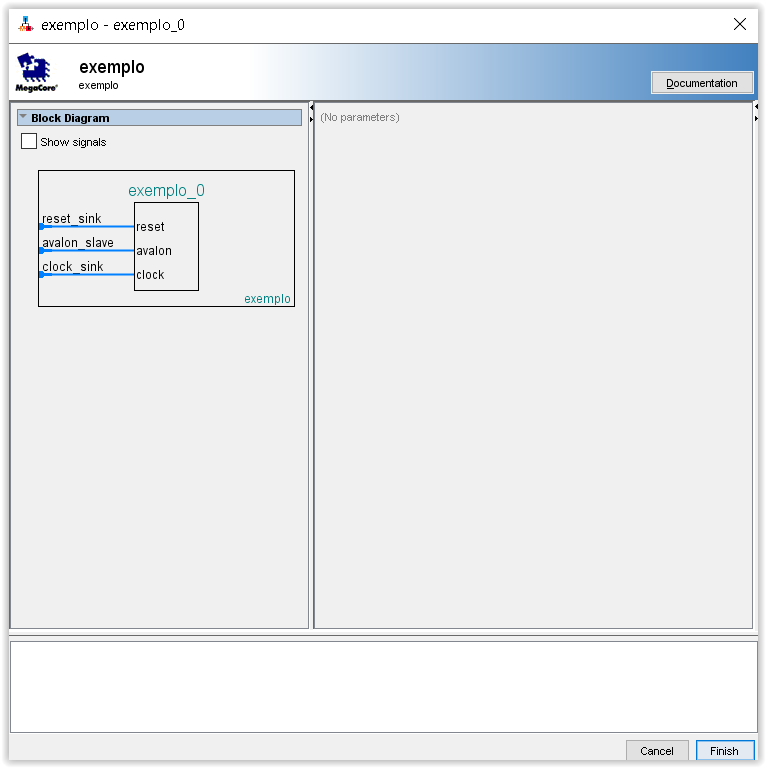


Salvara as modificações

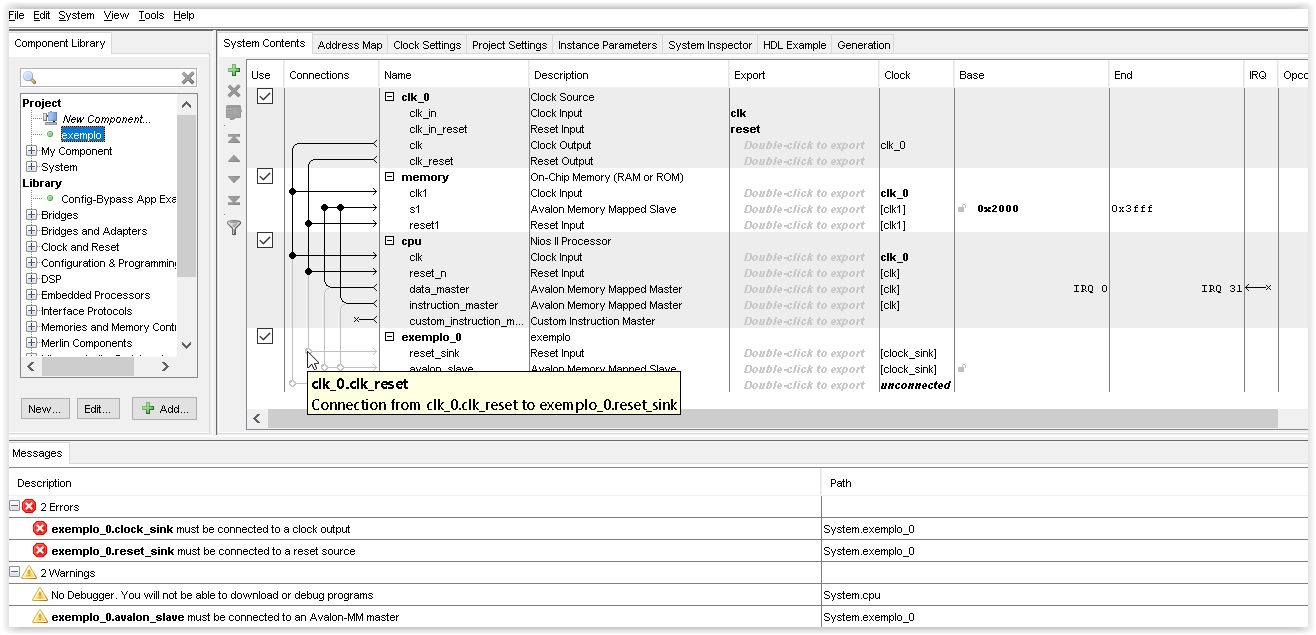
**Instanciação do componente “exemplo”**

“double-click” em “exemplo”

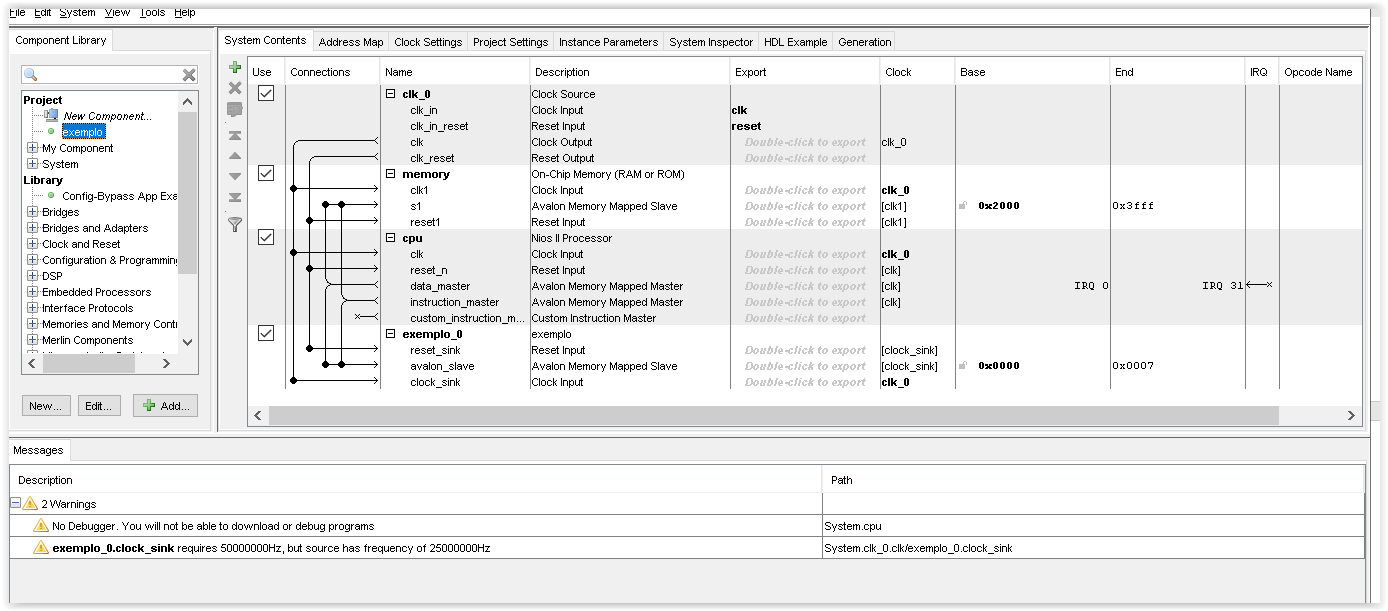




“Finish”

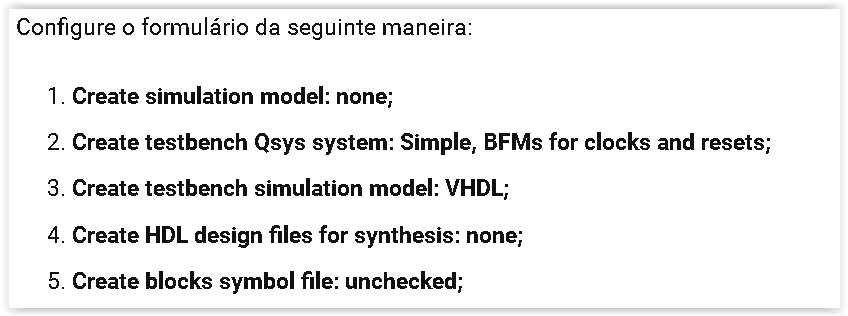


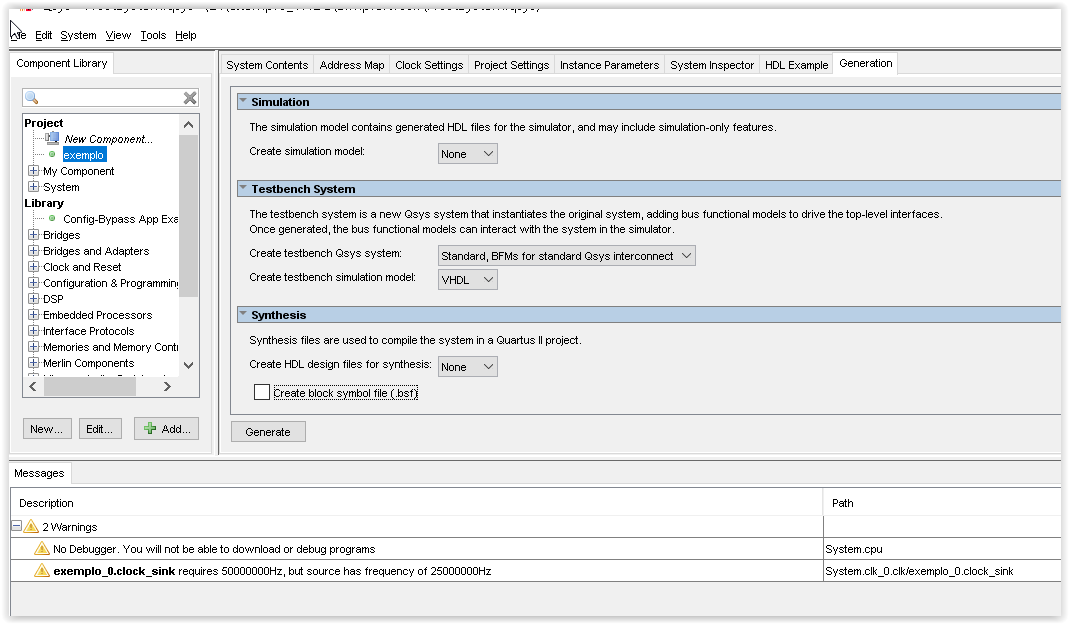
Clicar nos pontos de inserção que estão claros. Isso indicará as conexões que faltam.

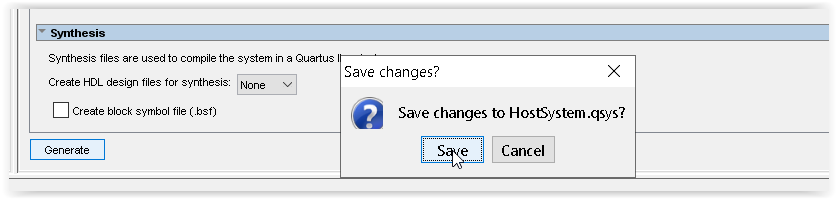


E este deve ser o resultado final. Daí podemos usar o “Generate”, que fica na aba “Generation”.

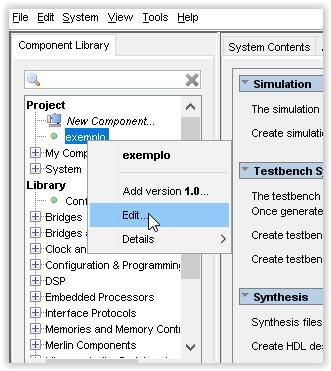
https://www.embarcados.com.br/simulacao-altera-nios-ii-modelsim/

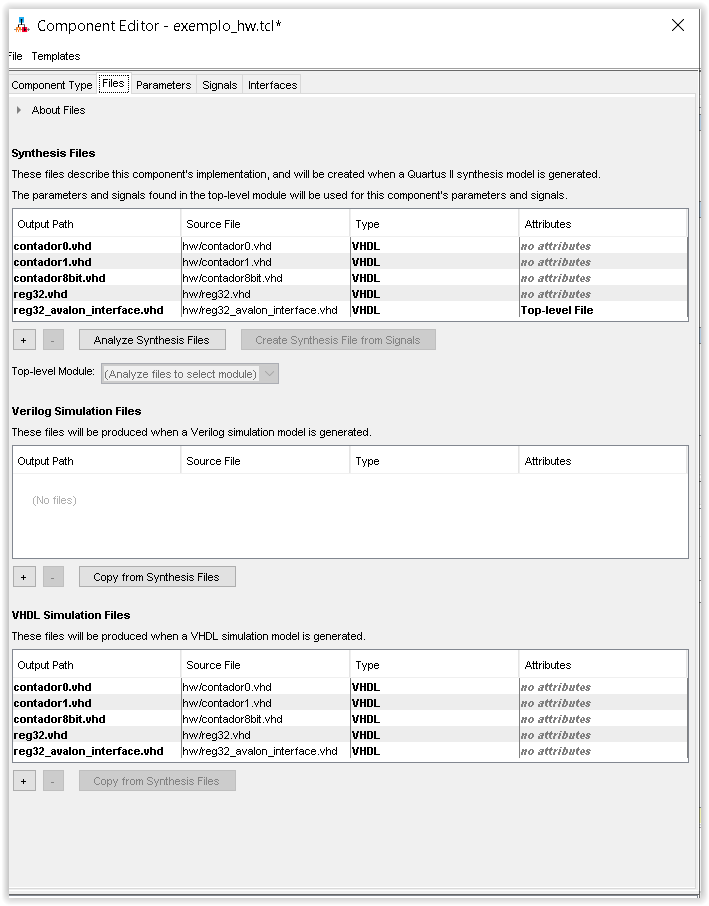
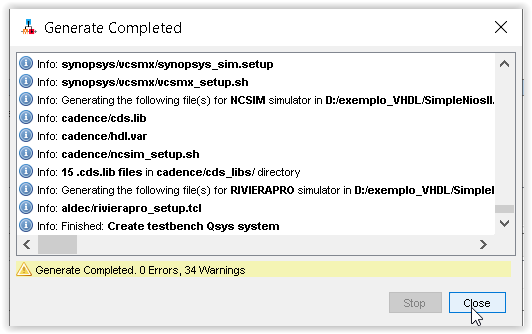




Ao pressionarmos “Generate”, se houver algo não salvo, a mensagem abaixo aparece. “Save” 

Antes de prosseguirmos, é necessária a inclusão dos arquivos vhdls também no campo mostrado abaixo. Isso pode ser feito editando-se “exemplo”



  
Pressionando-se “Generate” na aba “Generation”:

Agora pode-se proceder à criação do BSP e APP.

Como sugestão usar algo como isto na APP:

#include <stdio.h>  
#include "io.h"  
#include "system.h"

int main()  
{  
 int atual;  
 //printf("Hello from Nios II!\n")  
 while(1){  
 atual = IORD(COUNTBITS\_0\_BASE,0);  
 }  
return 0;  
}

IORD e IOWR são as chamadas em C, geradas pelo BSP que permitem acessar o nosso periférico. “COUNTBITS\_0\_BASE” é um define que está em “system.h”, também gerado pelo BSP.

Próximos passos:  
\_\_ No Eclipse, gerar o BSP e APP a partir do arquivo gerado pelo Qsys  
\_\_ Editar o BSP com as “settings” já explicadas  
\_\_ Modificar o APP com o código acima para utilizar o HW “exemplo”  
\_\_ Build para o BSP e APP, nesta ordem  
\_\_ Run as -> Modelsim

Informações que podem ajudar:

https://www.intel.com/content/www/us/en/programmable/support/support-resources/design-examples/intellectual-property/embedded/nios-ii/exm-simulating-niosii.html